

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-164790
(P2013-164790A)

(43) 公開日 平成25年8月22日 (2013. 8. 22)

(51) Int.Cl. F I テーマコード (参考)
G06F 12/06 (2006.01) G06F 12/06 515C 5B060

審査請求 未請求 請求項の数 11 O L (全 17 頁)

(21) 出願番号 特願2012-28410 (P2012-28410)
(22) 出願日 平成24年2月13日 (2012. 2. 13)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 110000198
特許業務法人湘洋内外特許事務所
(72) 発明者 斉藤 剛
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
Fターム(参考) 5B060 MM04 MM11

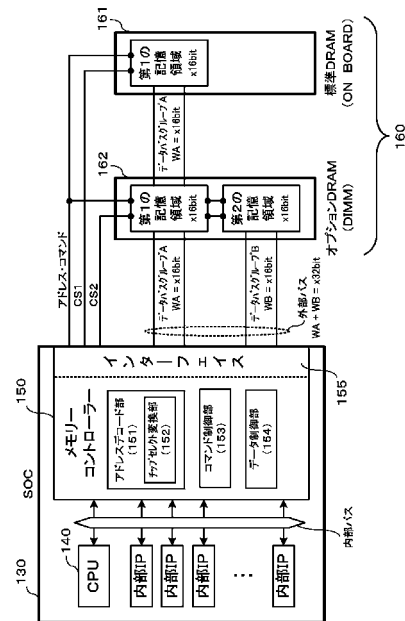
(54) 【発明の名称】 電子機器、及びメモリー制御方法

(57) 【要約】

【課題】 バス幅などの性能の異なる複数のメモリーを搭載する電子機器において、そのシステムの性能をより発揮し易くする。

【解決手段】 電子機器は、第一のメモリーと、前記第一のメモリーを制御するメモリー制御部と、を備える。前記メモリー制御部は、第二のメモリーが検出された場合に、前記第一のメモリーと前記第二のメモリーのバス幅を比較し、前記第二メモリーのバス幅が前記第一のメモリーのバス幅よりも大きい場合、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第一のメモリーと、前記第一のメモリーを制御するメモリー制御部と、を有する電子機器であって、

前記メモリー制御部は、

第二のメモリーが検出された場合に、前記第一のメモリーと前記第二のメモリーのバス幅を比較し、

前記第二メモリーのバス幅が前記第一のメモリーのバス幅よりも大きい場合、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、

ことを特徴とする電子機器。

10

【請求項 2】

請求項 1 に記載の電子機器であって、

前記メモリー制御部は、

メモリーマップにおけるメモリー領域のベースアドレス側から順に、前記第二のメモリーの領域、前記第一のメモリーの領域が並ぶように設定する、ことにより前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、

ことを特徴とする電子機器。

【請求項 3】

請求項 1 又は 2 に記載の電子機器であって、

前記メモリー制御部は、

前記第二のメモリーのバス幅が前記第一のメモリーのバス幅以下である場合、前記第一のメモリーと前記第一のメモリーの容量を比較し、

前記第二のメモリーの容量が前記第一のメモリーの容量よりも大きい場合、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、

ことを特徴とする電子機器。

20

【請求項 4】

請求項 3 に記載の電子機器であって、

前記メモリー制御部は、

前記第一のメモリー内の、選択信号により選択される一の記憶領域当たりの容量と、前記第二のメモリー内の、選択信号により選択される一の記憶領域当たりの容量とを比較し、前記第二のメモリー内の前記記憶領域当たりの容量が前記第一のメモリー内の前記記憶領域当たりの容量よりも大きい場合に、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、

ことを特徴とする電子機器。

30

【請求項 5】

請求項 1 ~ 4 いずれか一項に記載の電子機器であって、

前記メモリー制御部は、

前記第二のメモリーが複数検出された場合、各メモリーのバス幅を比較し、バス幅のより大きいメモリーへのアクセスが他のメモリーよりも優先するように設定する、

ことを特徴とする電子機器。

40

【請求項 6】

請求項 5 に記載の電子機器であって、

前記メモリー制御部は、

前記第一メモリー及び前記第二のメモリーのうち、いずれか 2 つ以上のメモリーのバス幅が同じである場合、バス幅が同じ各メモリーの容量を比較し、容量のより大きいメモリーへのアクセスが他のメモリーよりも優先するように設定する、

ことを特徴とする電子機器。

50

【請求項 7】

請求項 2 ~ 6 いずれか一項に記載の電子機器であって、
前記メモリー制御部は、
アクセス要求で指定される前記メモリー領域内の位置を示すアドレスが、前記メモリー領域のうち前記第二のメモリーの領域内を示す場合、前記第二のメモリーを選択する選択信号を出力し、
前記アドレスが、前記メモリー領域のうち前記第一のメモリーの領域内を示す場合、前記第一のメモリーを選択する選択信号を出力する、
ことを特徴とする電子機器。

【請求項 8】

第一のメモリーと、前記第一のメモリーを制御するメモリー制御部と、CPUと、を有する電子機器であって、
前記CPUは、
第二のメモリーが検出された場合に、前記第一のメモリーと前記第二のメモリーのバス幅を比較し、
前記第二メモリーのバス幅が前記第一のメモリーのバス幅よりも大きい場合、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、
ことを特徴とする電子機器。

【請求項 9】

請求項 8 に記載の電子機器であって、
前記メモリー制御部は、
前記第二のメモリーを検出した場合に、メモリーマップにおけるメモリー領域のベースアドレス側から順に、前記第一のメモリーの領域、前記第二のメモリーの領域が並ぶように設定し、
前記CPUは、
前記ベースアドレスに前記第一のメモリーの容量を加算したアドレスを、当該CPUが前記メモリー領域のアクセスに使用するアクセス用ベースアドレスとして設定し、当該アクセス用ベースアドレスに前記第二のメモリーの容量を加算したアドレスの後ろに、前記第一のメモリーの領域が続くように設定する、ことにより前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、
ことを特徴とする電子機器。

【請求項 10】

第一のメモリーと、前記第一のメモリーを制御するメモリー制御部と、を有する電子機器におけるメモリー制御方法であって、
前記メモリー制御部は、
第二のメモリーが検出された場合に、前記第一のメモリーと前記第二のメモリーのバス幅を比較し、
前記第二メモリーのバス幅が前記第一のメモリーのバス幅よりも大きい場合、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、
ことを特徴とするメモリー制御方法。

【請求項 11】

第一のメモリーと、前記第一のメモリーを制御するメモリー制御部と、CPUと、を有する電子機器におけるメモリー制御方法であって、
前記CPUは、
第二のメモリーが検出された場合に、前記第一のメモリーと前記第二のメモリーのバス幅を比較し、
前記第二メモリーのバス幅が前記第一のメモリーのバス幅よりも大きい場合、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定す

10

20

30

40

50

る、

ことを特徴とするメモリー制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器、及びメモリー制御方法に関する。

【背景技術】

【0002】

予め設置されたD R A M (Dynamic RAM)の他に、別のD R A Mを増設可能な電子機器が知られている。例えば、特許文献1には、オンボードの標準D R A Mの他に、D I M M (Dual Inline Memory Module)により構成されるオプションD R A Mを増設可能な電子機器が記載されている。

10

【0003】

また、上記のような電子機器では、複数のD R A Mの物理アドレスの割り当て情報(メモリーマップ)は、ベースアドレス側から順に、標準D R A M、オプションD R A Mが配置される。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-186898号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、上記のような電子機器では、標準D R A Mのバス幅よりもオプションD R A Mのバス幅の方が大きい場合(例えば、標準D R A M: 16bit、オプションD R A M: 32bit)、ベースアドレスに近い側のメモリー帯域の方が広いこととなる。

【0006】

ここで、一般的に、C P UなどによるD R A M領域(標準D R A M領域とオプションD R A M領域を含む領域)の使用は、ベースアドレスに近い側に偏る。すると、上記のような電子機器では、バス幅の大きいオプションD R A Mよりもバス幅の小さい標準D R A Mの方がより多く使用される(使用される領域が標準D R A Mに偏る)可能性が高まり、システムの性能を十分に発揮できない。

30

【0007】

そこで、本発明は、バス幅などの性能の異なる複数のメモリーを搭載する電子機器において、そのシステムの性能をより発揮し易くすることを目的とする。

【課題を解決するための手段】

【0008】

本願は、上記課題の少なくとも一部を解決する手段を複数含んでいるが、その例を挙げるならば、以下のとおりである。

【0009】

40

上記の課題を解決する本発明の第一の態様は、第一のメモリーと、前記第一のメモリーを制御するメモリー制御部と、を有する電子機器であって、前記メモリー制御部は、第二のメモリーが検出された場合に、前記第一のメモリーと前記第二のメモリーのバス幅を比較し、前記第二メモリーのバス幅が前記第一のメモリーのバス幅よりも大きい場合、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、ことを特徴とする。

【0010】

上記の構成によれば、バス幅の大きい第二のメモリーへのアクセスが、バス幅の小さい第一のメモリーへのアクセスよりも優先されるので、システムの性能をより発揮し易くすることができる。

50

【 0 0 1 1 】

ここで、前記メモリー制御部は、メモリーマップにおけるメモリー領域のベースアドレス側から順に、前記第二のメモリーの領域、前記第一のメモリーの領域が並ぶように設定する、ことにより前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、ことを特徴としてもよい。

【 0 0 1 2 】

上記の構成によれば、バス幅の大きい第二のメモリーの領域がベースアドレス側に割り当てられるので、第二のメモリーの使用の優先度が高まり、システムの性能をより発揮し易くすることができる。

【 0 0 1 3 】

また、前記メモリー制御部は、前記第二のメモリーのバス幅が前記第一のメモリーのバス幅以下である場合、前記第一のメモリーと前記第一のメモリーの容量を比較し、前記第二のメモリーの容量が前記第一のメモリーの容量よりも大きい場合、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、ことを特徴としてもよい。

10

【 0 0 1 4 】

上記の構成によれば、第二のメモリーのバス幅が第一のメモリーのバス幅以下の場合に、容量の大きい第二のメモリーへのアクセスが、容量の小さい第一のメモリーへのアクセスよりも優先されるので、システムの性能をより発揮し易くすることができる。

【 0 0 1 5 】

また、前記メモリー制御部は、前記第一のメモリー内の、選択信号により選択される一の記憶領域当たりの容量と、前記第二のメモリー内の、選択信号により選択される一の記憶領域当たりの容量とを比較し、前記第二のメモリー内の前記記憶領域当たりの容量が前記第一のメモリー内の前記記憶領域当たりの容量よりも大きい場合に、前記第二のメモリーへのアクセスが前記第一のメモリーへのアクセスよりも優先するように設定する、ことを特徴としてもよい。

20

【 0 0 1 6 】

上記の構成によれば、メモリー内に選択信号により選択される記憶領域がある場合に、当該記憶領域当たりの容量の大きい第二のメモリーへのアクセスが、当該記憶領域当たり容量の小さい第一のメモリーへのアクセスよりも優先されるので、システムの性能をより発揮し易くすることができる。

30

【 0 0 1 7 】

また、前記メモリー制御部は、前記第二のメモリーが複数検出された場合、各メモリーのバス幅を比較し、バス幅のより大きいメモリーへのアクセスが他のメモリーよりも優先するように設定する、ことを特徴としてもよい。

【 0 0 1 8 】

上記の構成によれば、第二のメモリーが複数のある場合にも、システムの性能をより発揮し易くすることができる。

【 0 0 1 9 】

また、前記メモリー制御部は、前記第一メモリー及び前記第二のメモリーのうち、いずれか2つ以上のメモリーのバス幅が同じである場合、バス幅が同じ各メモリーの容量を比較し、容量のより大きいメモリーへのアクセスが他のメモリーよりも優先するように設定する、ことを特徴としてもよい。

40

【 0 0 2 0 】

上記の構成によれば、第二のメモリーが複数のある場合に、バス幅が同じメモリーがある場合であっても、システムの性能をより発揮し易くすることができる。

【 0 0 2 1 】

また、前記メモリー制御部は、アクセス要求で指定される前記メモリー領域内の位置を示すアドレスが、前記メモリー領域のうち前記第二のメモリーの領域内を示す場合、前記第二のメモリーを選択する選択信号を出力し、前記アドレスが、前記メモリー領域のうち

50

前記第一のメモリの領域内を示す場合、前記第一のメモリを選択する選択信号を出力する、ことを特徴としてもよい。

【0022】

上記の構成によれば、設定された各メモリの領域の割り当てに基づいて、メモリ制御部によりアクセス先が選択されるので、簡易な構成でシステムの性能をより発揮し易くすることができる。

【0023】

上記の課題を解決するための本発明の第二の態様は、第一のメモリと、前記第一のメモリを制御するメモリ制御部と、CPUと、を有する電子機器であって、前記CPUは、第二のメモリが検出された場合に、前記第一のメモリと前記第二のメモリのバス幅を比較し、前記第二メモリのバス幅が前記第一のメモリのバス幅よりも大きい場合、前記第二のメモリへのアクセスが前記第一のメモリへのアクセスよりも優先するように設定する、ことを特徴とする。

10

【0024】

上記の構成によれば、バス幅の大きい第二のメモリへのアクセスが、バス幅の小さい第一のメモリへのアクセスよりも優先されるので、システムの性能をより発揮し易くすることができる。

【0025】

ここで、前記メモリ制御部は、前記第二のメモリを検出した場合に、メモリマップにおけるメモリ領域のベースアドレス側から順に、前記第一のメモリの領域、前記第二のメモリの領域が並ぶように設定し、前記CPUは、前記ベースアドレスに前記第一のメモリの容量を加算したアドレスを、当該CPUが前記メモリ領域のアクセスに使用するアクセス用ベースアドレスとして設定し、当該アクセス用ベースアドレスに前記第二のメモリの容量を加算したアドレスの後ろに、前記第一のメモリの領域が続くように設定する、ことにより前記第二のメモリへのアクセスが前記第一のメモリへのアクセスよりも優先するように設定する、ことを特徴としてもよい。

20

【0026】

上記の構成によれば、バス幅の大きい第二のメモリの領域がベースアドレス側に割り当てられるので、第二のメモリの使用の優先度が高まり、システムの性能をより発揮し易くすることができる。また、このような手段をCPUにより実現することで、メモリコントローラ等のハードウェア設計の変更がなくなる又は少なくなる。

30

【0027】

上記の課題を解決するための第三の態様は、第一のメモリと、前記第一のメモリを制御するメモリ制御部と、を有する電子機器におけるメモリ制御方法であって、前記メモリ制御部は、第二のメモリが検出された場合に、前記第一のメモリと前記第二のメモリのバス幅を比較し、前記第二メモリのバス幅が前記第一のメモリのバス幅よりも大きい場合、前記第二のメモリへのアクセスが前記第一のメモリへのアクセスよりも優先するように設定する、ことを特徴とする。

【0028】

上記の課題を解決するための第四の態様は、第一のメモリと、前記第一のメモリを制御するメモリ制御部と、CPUと、を有する電子機器におけるメモリ制御方法であって、前記CPUは、第二のメモリが検出された場合に、前記第一のメモリと前記第二のメモリのバス幅を比較し、前記第二メモリのバス幅が前記第一のメモリのバス幅よりも大きい場合、前記第二のメモリへのアクセスが前記第一のメモリへのアクセスよりも優先するように設定する、ことを特徴とする。

40

【0029】

上記した以外の課題、構成、及び効果は、以下の実施形態の説明により明らかにされる。

【図面の簡単な説明】

【0030】

50

【図 1】本発明の第一実施形態に係る電子機器の概略構成の一例を示す図である。

【図 2】SOC の DRAM アクセスに関する概略構成の一例を示す図である。

【図 3】メモリーコントローラーによる DRAM アドレス設定処理の一例を示すフロー図である。

【図 4】優先アクセス設定の場合のメモリーマップの一例を説明する図である。

【図 5】通常アクセス設定の場合のメモリーマップの一例を説明する図である。

【図 6】CPU による DRAM アドレス設定処理の一例を示すフロー図である。

【図 7】優先アクセス設定の場合の CPU のメモリーマップの一例を説明する図である。

【発明を実施するための形態】

【0031】

10

< 第一実施形態 >

以下、本発明の第一実施形態について、図面を参照して説明する。

【0032】

図 1 は、本発明の第一実施形態に係る電子機器の概略構成の一例を示す図である。図示するように、電子機器 100 には、情報処理装置 200 が接続される。

【0033】

情報処理装置 200 は、電子機器 100 のホストコンピューターとして機能する。情報処理装置 200 は、例えば、不図示の、CPU と、RAM と、ROM と、ハードディスク等の補助記憶装置と、ディスプレイと、キーボードやマウス等の入力装置と、通信インターフェイスと、を備えたコンピューターである。情報処理装置 200 では、例えば、アプリケーションプログラムや、電子機器 100 を制御するためのドライバプログラム（例えば、プリンタードライバプログラム）が実行される。

20

【0034】

電子機器 100 は、例えば、プリント機能、コピー機能等を有する複合機である。電子機器 100 は、電子機器 100 における各種処理を制御する電子機器制御装置としてのコントローラー 110 と、印刷媒体への印刷や原稿の読み取りを実行するエンジン部 120 と、を備えている。もちろん、電子機器は、複合機に限らず、例えば、プリンター、スキャナー、ファクシミリ、コピー機、などの装置であってもよい。

【0035】

コントローラー 110 は、CPU 140 と、メモリーコントローラー 150 と、DRAM 160 と、I/O (Input/Output) 制御 ASIC (Application Specific Integrated Circuits) 170 と、を備える。コントローラー 110 は、エンジン部 120 等の各種機構を制御し、各種画像処理などを含む印刷機能、ファクシミリ機能、スキャナー機能、コピー機能等を実現する。もちろん、コントローラー 110 は、この構成に限定されず、例えば、CPU 140 をメモリーコントローラー 150 に内蔵させてもよい。

30

【0036】

また、上記の CPU 140 と、メモリーコントローラー 150 と、I/O 制御 ASIC 170 と、を搭載した集積回路を、以下では SOC (System On a Chip) 130 と呼ぶ。

【0037】

CPU 140 は、メモリーコントローラー 150 を介して DRAM 160 にアクセスし、各種プログラムやデータの読み書きを行うことで各種処理を実行する。CPU 120 は、DRAM 160 にアクセスするためのアクセス要求をメモリーコントローラー 150 に対して出す。

40

【0038】

メモリーコントローラー 150 は、CPU 140、I/O 制御 ASIC 170、エンジン部 120 から、DRAM 160 へのアクセスを制御する。もちろん、メモリーコントローラー 150 は、CPU 140 を介さない DRAM 160 へのダイレクトメモリーアクセス (DMA) を制御するようにしてもよい。

【0039】

DRAM 160 は、メモリーコントローラー 150 が制御を行うメモリーであり、例え

50

ば、DDR-SDRAMである。本実施形態では、DRAM160は、メモリーコントローラ150などを搭載したコントローラ基板上に直接設置される標準DRAM(On Board)161と、DIMM(Dual Inline Memory Module)のような複数のDRAMチップをプリント基板上に搭載したオプションDRAM162と、を備える。標準DRAM161は、通常はユーザーによりボードから取り外すことができない一方、オプションDRAM162は、ユーザーによりボードに取り付けたりボードから取り外したりすることができる(着脱可能である)。

【0040】

各DRAM160にアクセスする場合、アクセス対象のDRAM160は、チップセレクト信号で選択される。ここで、複数のDRAMチップを搭載したDRAM(本実施形態では、オプションDRAM162)には、チップセレクトの単位(アクセス単位)が、複数のDRAMチップ全体であるものと、DRAMチップごとであるものがある。本実施形態では、オプションDRAM162は、いずれの構成であってもよい。もちろん、標準DRAM162も複数のDRAMチップを搭載するようにしてもよい。

【0041】

I/O制御ASIC170は、外部機器(情報処理装置200など)とのデータの送受信を制御する。

【0042】

エンジン部120は、印刷機能、ファクシミリ機能、スキャナー機能、コピー機能等を実現するための給排紙機構、印字機構、スキャン機構等であり、例えば、印刷エンジン、スキャナーエンジンなどを含む。

【0043】

図2は、SOCのDRAMアクセスに関する概略構成の一例を示す図である。

【0044】

メモリーコントローラ150には、CPU140や、他のユニット(I/O制御ASIC170に接続されている機器、エンジン部120、などを指し、以下では「内部IP」とよぶ)が、内部バスを介して接続されている。また、メモリーコントローラ150には、標準DRAM161とオプションDRAM162が、外部バスを介して接続されている。

【0045】

本実施形態では、外部バスは、データバスグループAと、データバスグループBとに分けられる。データバスグループAは、メモリーコントローラ150と、オプションDRAM162の第1の記憶領域(DRAMチップ)と、標準DRAM161の第1の記憶領域(DRAMチップ)とを接続する。データバスグループBは、メモリーコントローラ150と、オプションDRAM162の第2の記憶領域(DRAMチップ)とを接続し、標準DRAM161には接続されていない。

【0046】

データバスグループAのデータバス幅(帯域)は、WAビットである。データバスグループBのデータバス幅(帯域)は、WBビットである。従って、メモリーコントローラ150とオプションDRAM162の間のデータバス幅は、(WA+WB)ビットであり、メモリーコントローラ150と標準DRAM161の間のデータバス幅よりも広い(広帯域である)。

【0047】

本実施形態では、具体例として、WA=16、WB=16、WA+WB=32であるものとする。また、標準DRAM161の容量は、128MBであり、オプションDRAM162の容量は、512MB(256MB×2)であるものとする。なお、標準DRAM161の第1の記憶領域と、オプションDRAM162の第1の記憶領域には、WAビット単位でアクセス可能であり、オプションDRAM162の第2の記憶領域には、WBビット単位でアクセス可能である。

【0048】

10

20

30

40

50

また、本実施形態では、オプションDRAM162のチップセレクト単位は、DRAM単位(512MB)、又はDRAMチップ単位(256MB)であり、標準DRAM161のチップセレクト単位は、DRAM単位(128MB)であるものとする。

【0049】

なお、一般的に、電子機器のオプションDRAMの性能(バス幅、容量など)は、標準DRAMの性能と同じか、より高くなることが多い。そのため、本実施形態でもそのような状況を想定した具体例となっている。

【0050】

メモリーコントローラ150は、CPU140や内部IPから、DRAM160へのアクセス要求(ライト要求、リード要求など)を受信し、DRAM160へのアクセス処理を実行する。そのため、メモリーコントローラ150は、アドレスデコード部151と、コマンド制御部153と、データ制御部154と、インターフェイス155と、を有する。アドレスデコード部151は、チップセレクト変換部152を有する。

10

【0051】

アドレスデコード部151は、アドレスデコードを行う。アドレスデコード部151は、例えば、アクセス要求とともに受け付けたアクセス先の物理アドレス情報(メモリーマップ上の相対的なアドレス)を、DRAM160に送信するアドレス情報に変換する。

【0052】

また、アドレスデコード部151は、アクセス先の物理アドレス情報に基づいて、アクセス先のDRAM(チップセレクト)を判別する。アクセス先が標準DRAM161である場合、標準DRAM161を選択する信号(チップセレクト信号CS1)を、標準DRAM161に出力して供給する。アクセス先がオプションDRAM162である場合、オプションDRAM161を選択する信号(チップセレクト信号CS2)を、オプションDRAM162に出力して供給する。それから、アドレスデコード部151は、変換したアドレス情報を、選択されたDRAM又はDRAMチップに出力して供給する。

20

【0053】

なお、アドレスデコード部151は、DRAM内のDRAMチップ単位でチップセレクトをする必要がある場合、アクセス対象のDRAMチップに対してチップセレクト信号を供給する。例えば、オプションDRAM162のチップセレクト単位がDRAMチップである場合、アドレスデコード部151は、アクセス先の記憶領域(DRAMチップ)に対してチップセレクト信号を出力して供給する。

30

【0054】

本実施形態では、アドレスデコード部151は、チップセレクト変換部152により、チップセレクト信号の出力先を判別する。

【0055】

チップセレクト変換部152は、アクセス先の物理アドレス情報に基づいて、チップセレクト信号の出力先を決定する。そのため、チップセレクト変換部152は、例えば、コントローラ110に装着されている各DRAM(標準DRAM161、及びオプションDRAM162)のメモリー領域の割り当て情報を有する。割り当て情報は、例えば、所定のDRAM領域の基準アドレスであるベースアドレスから、所定の順に、各DRAMのサイズに対応する領域を割り当てたものである。

40

【0056】

ここで、チップセレクト変換部152は、例えば、電子機器100の起動処理時に、コントローラ110のDRAM構成を検査する。そして、検出したDRAM構成に応じて、各DRAMの領域の割り当て順序を異ならせる。

【0057】

詳細は図3～図5を参照して後述するが、本実施形態では、オプションDRAM162のバス幅が標準DRAM161のバス幅よりも大きい場合、ベースアドレス側から順に、オプションDRAM162の領域、標準DRAM領域161領域を並べて割り当てる(以下、この順序の割り当て設定を「優先アクセス設定」ともいう。)。

50

【 0 0 5 8 】

一方、オプション D R A M 1 6 2 のバス幅が標準 D R A M 1 6 1 のバス幅以下の場合、各 D R A M のチップセレクト単位の容量を比較する。そして、オプション D R A M 1 6 2 のチップセレクト単位（第 1 の記憶領域と第 2 の記憶領域の両方、又は、記憶領域ごと）の容量が、標準 D R A M 1 6 1 のチップセレクト単位（第 1 の記憶領域）の容量よりも大きい場合、ベースアドレス側から順に、オプション D R A M 1 6 2 の領域、標準 D R A M 領域 1 6 1 領域を並べて割り当てる（優先アクセス設定）。

【 0 0 5 9 】

一方、オプション D R A M 1 6 2 のチップセレクト単位の容量が、標準 D R A M 1 6 1 のチップセレクト単位の容量以下の場合、ベースアドレス側から順に、標準 D R A M 領域 1 6 1 領域、オプション D R A M 1 6 2 の領域、を並べて割り当てる（以下、この順序の割り当て設定を「通常アクセス設定」ともいう。）。

10

【 0 0 6 0 】

チップセレクト変換部 1 5 2 は、上記の割り当て情報を参照して、アドレスデコード部 1 5 1 から与えられたアクセス先の物理アドレス情報に対応するチップセレクト信号の出力先を決定する。なお、チップセレクト単位が D R A M チップごとである場合には、その単位でチップセレクト信号の出力先を決定する。

【 0 0 6 1 】

コマンド制御部 1 5 3 は、コマンド制御を行う。コマンド制御部 1 5 3 は、例えば、アクセス要求に従って、アドレスデコード部 1 5 1 で変換されたアドレス情報が示す D R A M 1 6 0 の記憶領域に対するデータ操作（ライト、リードなど）を実行するためのコマンドを発行する。

20

【 0 0 6 2 】

データ制御部 1 5 4 は、データの制御を行う。データ制御部 1 5 4 は、例えば、アクセス要求がライト要求である場合、ライトコマンドの対象のライトデータを D R A M 1 6 0 に転送して書き込む。また、例えば、アクセス要求がリード要求である場合、リードコマンドの対象のリードデータを D R A M 1 6 0 から読み出して受信する。

【 0 0 6 3 】

インターフェイス 1 5 5 は、メモリーコントローラ 1 5 0 と D R A M 1 6 0 との間の入出力を制御する。例えば、インターフェイス 1 5 5 は、チップセレクト信号、アドレス、コマンドなどの D R A M 1 6 0 への送信を、信号線を介して制御する。また、インターフェイス 1 5 5 は、D R A M 1 6 0 とのデータの送受信（書き込み、読み出しなど）を、外部バス（データバスグループ A、データバスグループ B）を介して制御する。

30

【 0 0 6 4 】

上記の電子機器 1 0 0 の構成は、本実施形態の特徴を説明するにあたって主要構成を説明したのであって、上記の構成に限られない。また、一般的な電子機器が備える構成を排除するものではない。また、上記の電子機器 1 0 0 の構成は、構成を理解容易にするために、主な処理内容に応じて分類したものである。構成要素の分類の仕方や名称によって、本願発明が制限されることはない。処理内容に応じて、さらに多くの構成要素に分類することもできる。また、1 つの構成要素がさらに多くの処理を実行するように分類することもできる。

40

【 0 0 6 5 】

次に、上記のメモリーコントローラ 1 5 0 の特徴的な動作について説明する。

【 0 0 6 6 】

図 3 は、メモリーコントローラによる D R A M アドレス設定処理の一例を示すフロー図である。本フローは、例えば、電子機器 1 0 0 の電源がオンされて、その起動処理中に実行される。もちろん、他のタイミングで実行されてもよく、例えば、ユーザーの指示に応じて実行されてもよい。

【 0 0 6 7 】

D R A M アドレス設定処理が開始されると、チップセレクト変換部 1 5 2 は、オプショ

50

ン D R A M を検出したか否かを判定する (S 1 0) 。 具体的には、チップセレクト変換部 1 5 2 は、コントローラ 1 1 0 の D R A M 構成 (標準 D R A M 1 6 1 の有無、オプション D R A M 1 6 2 の有無、各 D R A M の性能 (バス幅、容量、チップセレクト単位などの各種構成情報)) を検査し、判定を行う。なお、本フローでは、標準 D R A M 1 6 1 は常に検出されるものとする。

【 0 0 6 8 】

オプション D R A M 1 6 2 を検出した場合 (S 1 0 : Y E S) 、チップセレクト変換部 1 5 2 は、オプション D R A M 1 6 2 のバス幅が標準 D R A M 1 6 1 のバス幅よりも大きいか否かを判定する (S 2 0) 。 10
なお、本実施形態では、オプション D R A M 1 6 2 のバス幅は、32ビット、標準 D R A M 1 6 1 のバス幅は、16ビットである (図 2 参照) 。

【 0 0 6 9 】

オプション D R A M 1 6 2 のバス幅が標準 D R A M 1 6 1 のバス幅以下である場合 (S 2 0 : N O) 、チップセレクト変換部 1 5 2 は、オプション D R A M 1 6 2 の容量が標準 D R A M 1 6 1 の容量よりも大きいか否かを判定する (S 3 0) 。 具体的には、チップセレクト変換部 1 5 2 は、S 1 0 で取得した各 D R A M の構成情報に基づいて、各 D R A M のチップセレクト単位の容量を特定し、比較する。

【 0 0 7 0 】

オプション D R A M 1 6 2 のバス幅が標準 D R A M 1 6 1 のバス幅よりも大きい場合 (S 2 0 : Y E S) 、又は、オプション D R A M 1 6 2 のチップセレクト単位の容量が標準 D R A M 1 6 1 のチップセレクト単位の容量よりも大きい場合 (S 3 0 : Y E S) 、チップセレクト変換部 1 5 2 は、オプション D R A M 1 6 2 をベースアドレスに設定する (優先アクセス設定) (S 4 0) 。 20

【 0 0 7 1 】

具体的には、チップセレクト変換部 1 5 2 は、各 D R A M のメモリー領域の割り当て情報を生成する。チップセレクト変換部 1 5 2 は、例えば、図 4 に示すように、システム上制御可能な最大の D R A M 領域 (2 G B) の物理アドレスを管理する。そして、当該 D R A M 領域 (2 G B) の基準アドレスであるベースアドレス (0x4000_0000) から順に、オプション D R A M 1 6 2 の領域 (0x4000_0000 から 0x6000_0000 の直前まで) 、標準 D R A M 1 6 1 の領域 (0x6000_0000 から 0x6800_0000 の直前まで) 、を並べて割り当てる。なお、D R A M 1 6 0 以外の領域は、空き領域 (0x6800_0000 から 0xC000_0000 の直前まで) と 30
して管理する。

【 0 0 7 2 】

オプション D R A M 1 6 2 が検出されなかった場合 (S 1 0 : N O) 、又は、オプション D R A M 1 6 2 のチップセレクト単位の容量が標準 D R A M 1 6 1 のチップセレクト単位の容量以下の場合 (S 3 0 : N O) 、チップセレクト変換部 1 5 2 は、標準 D R A M 1 6 1 をベースアドレスに設定する (通常アクセス設定) (S 5 0) 。

【 0 0 7 3 】

具体的には、オプション D R A M 1 6 2 の容量が標準 D R A M 1 6 1 の容量以下の場合 (S 3 0 : N O) 、チップセレクト変換部 1 5 2 は、各 D R A M のメモリー領域の割り当て情報を生成する。チップセレクト変換部 1 5 2 は、例えば、図 5 に示すように、最大 D R A M 領域 (2 G B) の基準アドレスであるベースアドレス (0x4000_0000) から順に、標準 D R A M 1 6 1 の領域 (0x4000_0000 から 0x4800_0000 の直前まで) 、オプション D R A M 1 6 2 の領域 (0x4800_0000 から 0x6800_0000 の直前まで) 、を並べて割り当てる。なお、D R A M 1 6 0 以外の領域は、空き領域 (0x6800_0000 から 0xC000_0000 の直前まで) と 40
して管理する。

【 0 0 7 4 】

オプション D R A M 1 6 2 が検出されなかった場合 (S 1 0 : N O) 、チップセレクト変換部 1 5 2 は、例えば、ベースアドレス (0x4000_0000) から、標準 D R A M 1 6 1 の領域 (0x4000_0000 から 0x4800_0000 の直前まで) 、を割り当てる。なお、標準 D R A M 1 6 1 以外の領域は、空き領域 (0x4800_0000 から 0xC000_0000 の直前まで) と 50
して管理する

。

【0075】

なお、本実施形態では、電子機器のオプションDRAMの性能（バス幅、容量）が、標準DRAMの性能と同じか、より高い場合を想定している。そのため、バス幅が等しい場合に（S20：NO）、処理をS30に進めることとなる。しかし、電子機器のオプションDRAMの性能が、標準DRAMの性能より低い場合も想定してもよい。この場合は、例えば、S20において、バス幅が同じであれば処理をS30に進め、オプションDRAMのバス幅の方が小さければ処理をS50に進めるようにしてもよい。もちろん、図3と同様であってもよい。

【0076】

S40又はS50の終了後、チップセレクト変換部152は、DRAMアドレス設定処理を終了する。

【0077】

上記のように生成した割り当て情報（S40、S50）を参照することにより、チップセレクト変換部152は、アドレスデコード部151から与えられたアクセス先の物理アドレス情報（0x4000_0000から0x6800_0000の直前まで）が該当するDRAM（DRAM標準DRAM領域161、又はオプションDRAM162）を特定することができる。チップセレクト単位がDRAMチップごとである場合には、物理アドレス情報が該当するDRAMチップを特定することができる。そして、チップセレクト変換部152は、チップセレクト信号の出力先を決定することができる。

【0078】

上述の図2のフローの各処理単位は、メモリーコントローラ150の処理を理解容易にするために、主な処理内容に応じて分割したものである。処理単位の分割の仕方や名称によって、本願発明が制限されることはない。メモリーコントローラ150の処理は、処理内容に応じて、さらに多くの処理単位に分割することもできる。また、1つの処理単位がさらに多くの処理を含むように分割することもできる。

【0079】

以上、本発明の第一実施形態の一例について説明した。本実施形態によれば、バス幅などの性能の異なる複数のメモリーを搭載する電子機器において、そのシステムの性能をより発揮し易くすることができる。

【0080】

すなわち、本実施形態では、オプションメモリーと標準メモリーのバス幅を比較し、オプションメモリーのバス幅の方が大きい場合に、メモリーマップにおけるベースアドレス側から順に、オプションメモリー領域、標準メモリー領域を割り当てている。このような構成によれば、バス幅の大きいオプションメモリーの方がより多く使用される可能性が高まる（オプションメモリーの使用の優先度が高まる）ので、システムの性能を発揮し易くなる。

【0081】

例えば、通常、CPUは、プログラムをDRAMに展開して実行する。また、画像データなどのサイズの大きなデータも、ワークメモリーとしてのDRAMに展開されることがある。そのため、より多く使用される領域を含むDRAMのバス幅が大きくなれば、DRAMへのアクセス効率が向上する。そして、システムのパフォーマンス向上、大きなデータの扱いの高速化を図ることができる。例えば、プリンターであれば、ユーザーが印刷指示をしてから印刷が開始されるまでの時間や、印刷時間などを短縮することができる。また、他の機器であれば、例えば、スキャン時間、コピー時間などを短縮することができる。

。

【0082】

また、本実施形態では、オプションメモリーのバス幅が標準メモリー以下である場合、オプションメモリーと標準メモリーのチップセレクト単位の容量を比較し、比較結果に応じて、チップセレクト単位の容量の大きい方のメモリーの領域をベースアドレス側に割り

10

20

30

40

50

当てている。このような構成によれば、チップセレクトの切り替えが起きる頻度をできる限り少なくすることにより、システムの性能の低下を防ぐことができる。

【 0 0 8 3 】

具体的には、例えば、チップセレクト単位の容量が小さい方の第一のメモリーがベースアドレス側に割り当てられ、その次にチップセレクト単位の容量の大きい方の第二のメモリーが割り当てられた場合を考える。この場合、第一のメモリーのチップセレクト単位の容量が、使用量に対して足りなくなる可能性が高まる。この場合、第一のメモリー内のチップ間、又は第一のメモリーと第二のメモリーとの間で、チップセレクトが切り替えられる頻度が高まる。その結果、メモリアクセス時のオーバーヘッドが発生することになる。なお、一般的に、一つのチップセレクトに継続的にアクセスする場合の方が、複数のチップセレクト間を切り替えながらアクセスする場合よりも効率が高い。

10

【 0 0 8 4 】

< 第二実施形態 >

次に、本発明の第二実施形態について、第一実施形態と異なる点を中心に説明する。

【 0 0 8 5 】

第一実施形態では、メモリーコントローラー 1 5 0 により、D R A M 構成に応じて、各 D R A M の領域の割り当て順序を変更している。これに対し、本実施形態では、メモリーコントローラー 1 5 0 では、各 D R A M 領域の割り当て順序を通常アクセス設定に固定したまま、C P U によりバス幅の広いメモリーが優先的に使用されるように制御する。

【 0 0 8 6 】

例えば、メモリーコントローラー 1 5 0 は、電子機器 1 0 0 の起動処理時に、コントローラー 1 1 0 の D R A M 構成を検査する。オプション D R A M 1 6 2 を検出した場合には、固定的に、ベースアドレス側から順に、標準 D R A M 1 6 1 の領域、オプション D R A M 1 6 2 の領域を割り当てる（通常アクセス設定）。

20

【 0 0 8 7 】

一方、C P U 1 4 0 は、電子機器 1 0 0 の起動処理時に、コントローラー 1 1 0 の D R A M 構成を検査する。なお、D R A M 構成の検査は、C P U 1 4 0 以外のデバイス、例えば、メモリーコントローラー 1 5 9 が行ってもよい。それから、C P U 1 4 0 は、検出した D R A M 構成に応じて、C P U 1 4 0 が D R A M 1 6 0 へアクセスする際に使用する割り当て情報を生成する（メモリーコントローラー 1 5 0 の割り当て情報は変更せずに、各 D R A M 領域の順序を論理的に並び替える）。

30

【 0 0 8 8 】

図 6 は、C P U による D R A M アドレス設定処理の一例を示すフロー図である。本フローは、例えば、電子機器 1 0 0 の電源がオンされて、起動処理中に、メモリーコントローラー 1 5 0 の割り当て情報の設定（通常アクセス設定）の終了後、C P U において実行される。もちろん、他のタイミングで実行されてもよく、例えば、ユーザーの指示に応じて実行されてもよい。

【 0 0 8 9 】

S 1 1 0 ~ S 1 3 0 は、図 3 の S 1 0 ~ S 3 0 と同様であるので説明を省略する。ただし、各処理は、C P U 1 4 0 が主体となって実行する。

40

【 0 0 9 0 】

オプション D R A M 1 6 2 のバス幅が標準 D R A M 1 6 1 のバス幅よりも大きい場合（S 1 2 0 : Y E S）、又は、オプション D R A M 1 6 2 のチップセレクト単位の容量が標準 D R A M 1 6 1 のチップセレクト単位の容量よりも大きい場合（S 1 3 0 : Y E S）、C P U 1 4 0 は、ベースアドレスをオプション D R A M 1 6 2 に変更する（優先アクセス設定）（S 4 0）。

【 0 0 9 1 】

具体的には、C P U 1 4 0 は、各 D R A M のメモリー領域の論理的な割り当て情報を生成する。例えば、図 7 に示すように、C P U 1 4 0 は、ベースアドレスを、オプション D R A M 1 6 2 の領域の先頭（0x4800_0000（元のベースアドレスに標準 D R A M 1 6 1 の

50

サイズを加算したアドレス)に設定する。また、オプションDRAM162の領域(0x4800_0000から0x6800_0000の直前まで)の次に、標準DRAM161の領域(0x4000_0000から0x4800_0000の直前まで)が続くように設定する。すなわち、オプションDRAM162の領域、標準DRAM161の領域、の順に連続領域となるように論理的に並べ替えた割り当て情報を生成する。

【0092】

オプションDRAM162が検出されなかった場合(S110:NO)、又は、オプションDRAM162のチップセレクト単位の容量が標準DRAM161のチップセレクト単位の容量以下の場合(S130:NO)、CPUは、ベースアドレスの変更を行わない(通常アクセス設定)(S150)。

【0093】

S140又はS150の終了後、CPU140は、DRAMアドレス設定処理を終了する。

【0094】

上記のように生成した割り当て情報(S140)を用いることにより、CPU140は、DRAMのメモリー領域を、CPUで論理的に設定したベースアドレス側(オプションDRAM162の領域)から順に使うことができる。例えば、CPU140は、各種のプログラムやデータを格納するため、ベースアドレス側から順にメモリー領域を使用する。使用量が、オプションDRAM162の領域を超えた場合は、続けて標準DRAM161の領域を使用する。なお、アクセス要求を受信した際のアドレスデコード部151の動作は、第一実施形態で説明したとおりである。

【0095】

なお、CPU140以外の内部IPについても、CPU140と同様に割り当て情報を生成して、使用するようにしてもよい。

【0096】

上述の図6のフローの各処理単位は、CPU140の処理を理解容易にするために、主な処理内容に応じて分割したものである。処理単位の分割の仕方や名称によって、本発明が制限されることはない。CPU140の処理は、処理内容に応じて、さらに多くの処理単位に分割することもできる。また、1つの処理単位がさらに多くの処理を含むように分割することもできる。

【0097】

以上、本発明の第二実施形態の一例について説明した。本実施形態では、第一実施形態と同様の効果を、メモリーコントローラーによるハードウェア処理ではなく、CPUによりソフトウェア処理により実現することができる。CPUにより実現することで、メモリーコントローラー等のハードウェア設計の変更がなくなる又は少なくなる。

【0098】

なお、上記の本発明の実施形態は、本発明の要旨と範囲を例示することを意図し、限定するものではない。多くの代替物、修正および変形例が当業者にとって明らかである。

【0099】

例えば、上記の実施形態は、DRAMが三つ以上の場合にも応用できる。例えば、標準DRAMが一つ、オプションDRAMが複数、の場合などである。この場合も、各DRAMのバス幅を比較し、ベースアドレスから、バス幅の大きい順に、各DRAMの領域を割り当てればよい。バス幅が等しいDRAMについては、チップセレクト単位の容量を比較し、ベースアドレスに近い側から、チップセレクト単位の容量の大きい順に、各DRAM領域を割り当てればよい。

【0100】

なお、本発明は、DRAMだけでなく、バス幅などの性能の異なるメモリーを備える電子機器、メモリーシステム等に適用できる。

【符号の説明】

【0101】

10

20

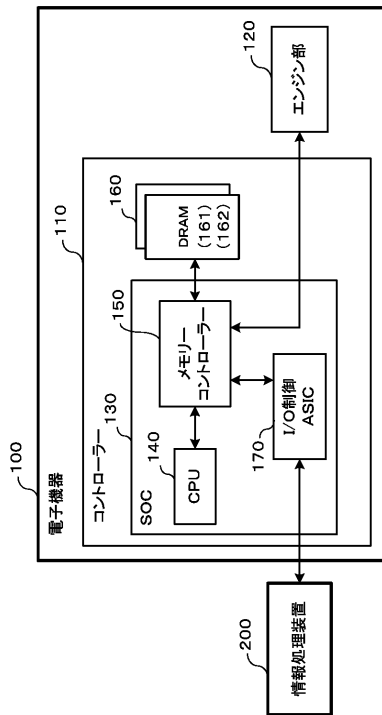
30

40

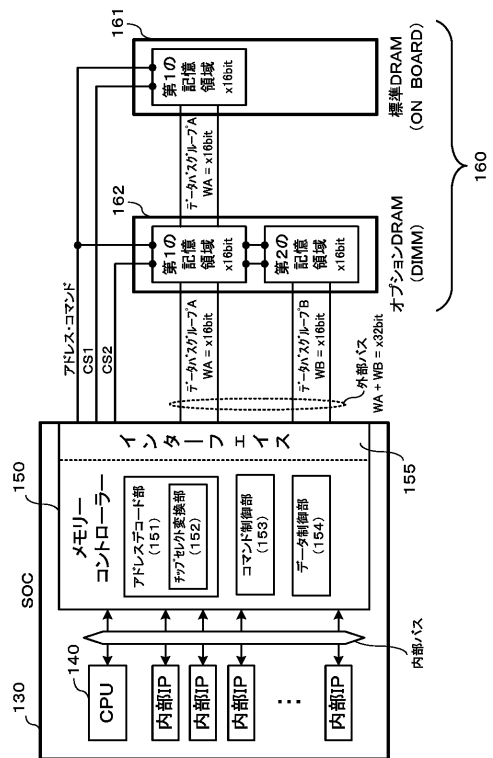
50

100：電子機器、110：コントローラ、120：エンジン部、130：SOC、140：CPU、150：メモリーコントローラ、151：アドレスデコード部、152：チップセレクト変換部、153：コマンド制御部、154：データ制御部、155：インターフェイス、160：DRAM、161：標準DRAM、162：オプションDRAM、170：I/O制御ASIC、200：情報処理装置

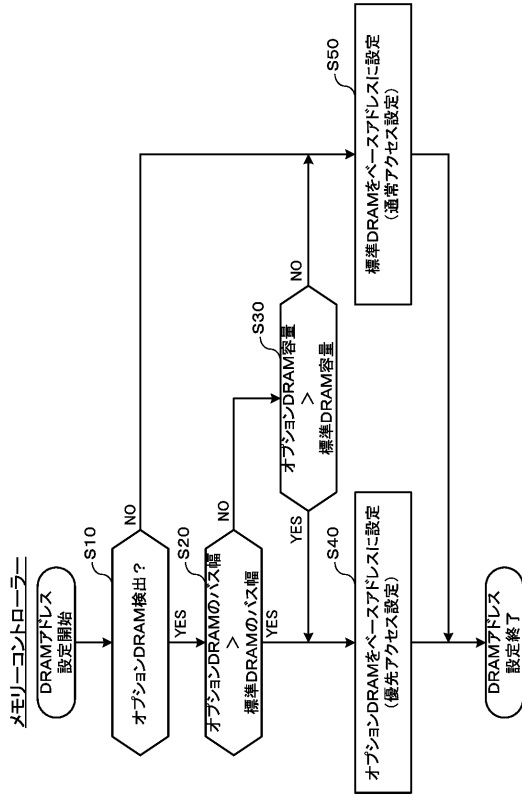
【図1】



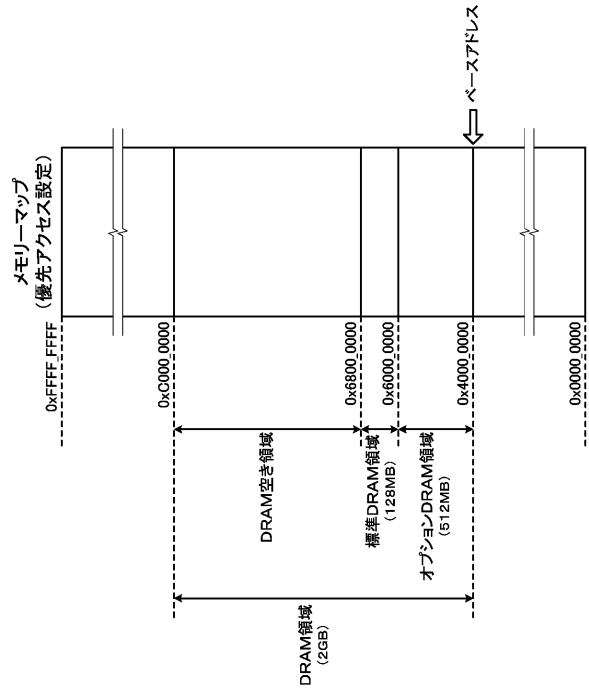
【図2】



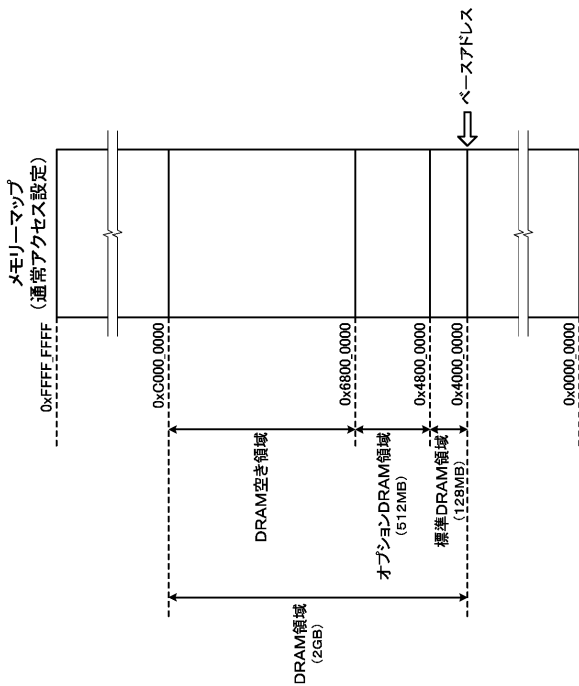
【 図 3 】



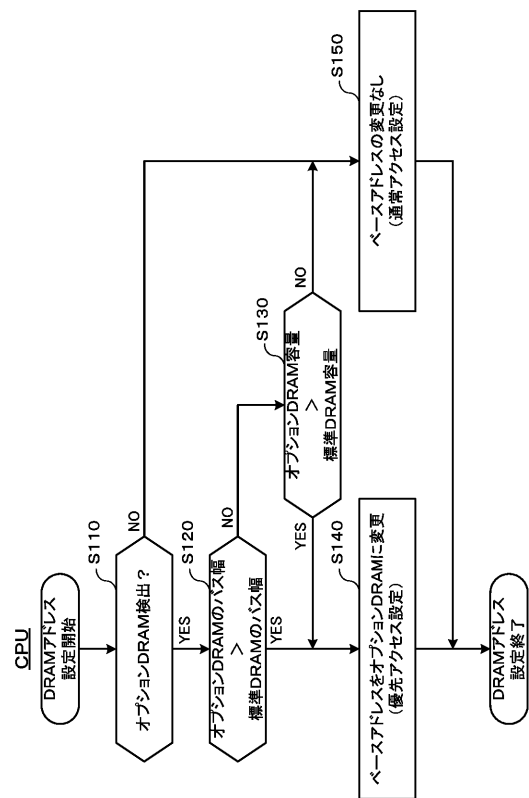
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

